

(19)日本国特許庁(JP)

(12)公表特許公報 (A)

(11)特許出願公表番号

特表2001-517332

(P2001-517332A)

(43)公表日 平成13年10月2日(2001.10.2)

(51)Int. Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
G 0 6 F	1/32	G 0 6 F	1/04 3 0 1 C
	1/04		1/00 3 3 2 Z
	1/20		3 6 0 D

審査請求 未請求 予備審査請求 有

(全30頁)

(21)出願番号 特願平9-513658
(86)(22)出願日 平成8年9月26日(1996.9.26)
(85)翻訳文提出日 平成10年3月25日(1998.3.25)
(86)国際出願番号 PCT/US96/15485
(87)国際公開番号 WO97/12329
(87)国際公開日 平成9年4月3日(1997.4.3)
(31)優先権主張番号 08/537,146
(32)優先日 平成7年9月29日(1995.9.29)
(33)優先権主張国 米国(US)

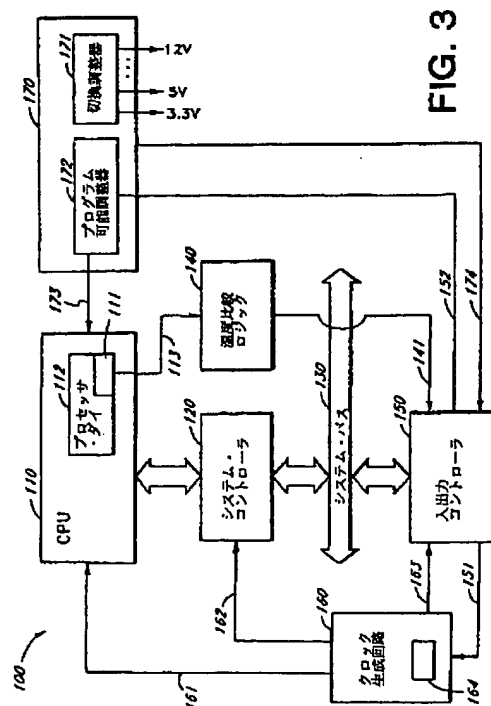
(71)出願人 インテル・コーポレーション
アメリカ合衆国 95052 カリフォルニア
州・サンタ クララ・ミッション カレッ
ジ プレーバード・2200
(72)発明者 ラインハート, デニス
アメリカ合衆国・94303・カリフォルニア
州・パロ アルト・ケネス ドライブ・3
440
(72)発明者 バット, ケタン
アメリカ合衆国・94043・カリフォルニア
州・マウンテン ビュー・ウエスト ミド
ルフィールド・1555・ジイ5番
(74)代理人 弁理士 山川 政樹 (外4名)

最終頁に続く

(54)【発明の名称】電圧スケーリングと周波数スケーリングの両方を通じて電力消費量を削減する装置および方法

(57)【要約】

電子装置による電力消費量を低減し、それによって性能を高める電力制御回路および対応する技術。電力制御回路は、コントローラ(120)と、クロック生成回路(160)と、電源回路(170)とを備える。コントローラ(120)は、電子装置の電圧および周波数をスケーリングする条件が存在するかどうかを検出し、それに応答して、クロック生成回路(160)に、電子装置に対して周波数スケーリングを実行するよう指示し、電源回路(170)に、電子装置に対して電圧スケーリングを実行するよう指示する。この条件には、電子装置の温度がサーマル・バンドを超えたことが検出される状況を含めることができる。この条件には、電子装置が、その実行時間のうちの選択された割合の間アイドル状態であることが検出されることを含めることもできる。



【特許請求の範囲】

1. 電子装置で使えるようになされた電力制御回路であって、

第1の信号に応答して、スケーリング可能なクロック信号を電子装置に供給するクロック生成回路と、

第2の信号に応答して、スケーリング可能な電圧を有する電源信号を電子装置に与える電源回路と、

前記クロック生成回路および前記電源回路に結合され、事象に応答して前記第1および第2の信号を生成し電子装置による電力の使用度を動的に制御するコントローラとを備える電力制御回路。

2. 前記温度検出回路が、

電子装置に結合された温度検知装置と、

前記温度検知装置および前記コントローラに結合され、前記温度検知装置から信号を受け取り、前記信号を必要な温度レベルと比較し、前記信号を、アサート時に電子装置が前記サーマル・バンドを超えたことを示す前記第3の信号に転送する、温度比較ロジックとを含むことを特徴とする請求項32に記載の電力制御回路。

3. 前記コントローラがクロック速度記憶要素とコア電圧記憶要素とを含むことを特徴とする請求項1に記載の電力制御回路。

4. 前記クロック生成回路が、前記第1の信号を受け取ったときに前記スケーリング可能なクロック信号の動作周波数を低減することを特徴とする請求項1に記載の電力制御回路。

5. 前記電源回路が、前記スケーリング可能なクロッキングの前記動作周波数が低減された後、前記第2の信号を受け取ったときに、前記電源信号を通じて与えられた前記スケーリング可能な電圧を低減することを特徴とする請求項4に記載の電力制御回路。

6. 前記コントローラがさらに、電子装置がその実行時間のうちの少なくとも所定の割合の間アイドル状態であるかどうかを検出し、それに応答して、前記第1および第2の信号を出力して電子装置の周波数スケーリングおよび電圧スケー

リングを開始することを特徴とする請求項1に記載の電力制御回路。

7. 電子装置用の電力制御回路であって、

前記電子装置がその実行時間のうちの所定の割合の間アイドル状態であるかどうかを検出し、前記電子装置が前記実行時間のうちの所定の割合の間アイドル状態であるときに前記第1および第2の信号を出力して電子装置の周波数スケールリングおよび電圧スケールリングを開始する制御手段と、

少なくとも電子装置に供給されるクロック信号の動作周波数をスケールリングするクロック手段と、

電子装置に供給される電圧をスケールリングする電力手段と、

電子装置がその実行時間のうちの所定の割合の間アイドル状態であるかどうかを検出し、前記電子装置が前記実行時間のうちの少なくとも前記所定の割合の間アイドル状態であるときに複数の制御信号を出力して電子装置の動的周波数スケールリングおよび動的電圧スケールリングを開始する制御手段とを備えることを特徴とする電力制御回路。

8. 前記制御手段が、クロック速度記憶要素と、コア電圧記憶要素と、停止サイクル検出記憶要素とを含むことを特徴とする請求項7に記載の電力制御回路。

9. 前記停止サイクル検出記憶要素が1ビット・レジスタであることを特徴とする請求項8に記載の電力制御回路。

10. 前記クロック手段が、前記停止サイクル検出記憶要素がセットされたことを検出したときに前記クロック信号の前記動作周波数を低減することを特徴とする請求項9に記載の電力制御回路。

11. さらに、電子装置の温度を監視し、電子装置がサーマル・バンドを超えたときに信号を生成する温度検出手段を備えることを特徴とする請求項7に記載の電力制御回路。

12. 前記温度検出手段が、

電子装置の前記温度を検知する検知手段と、

前記検知手段から温度信号を受け取り、前記温度信号を、アサート時に、電子装置が前記サーマル・バンドを超えたことを示す前記信号としてデジタル化するために、前記検知手段に結合された比較手段とを含むことを特徴とする請求項

7に記載の電力制御回路。

13．前記クロック手段が、前記温度検出手段が前記信号をアサートしたときに、電子装置に供給される前記クロック信号の前記動作周波数を低減することを特徴とする請求項12に記載の電力制御回路。

14．前記電源手段が、前記クロック信号の前記動作周波数が低減された後に、電子装置に供給される前記電圧を低減することを特徴とする請求項13に記載の電力制御回路。

15．コンピュータ・システムであって、
情報を処理するように構成されたプロセッサと、
前記プロセッサとシステム・バスとの間で前記情報を転送するように構成されたシステム・コントローラと、

前記システム・バス自体に結合された少なくとも1つの周辺装置へ前記情報を転送するように構成された前記システム・バスと、

電力制御回路とを備え、前記電力制御回路が、

第1の信号に応答して、スケーリング可能なクロック信号を前記プロセッサに供給するクロック生成回路と、

第2の信号に応答して、スケーリング可能な電圧を有する電源信号を前記プロセッサ装置に与える電源回路と、

前記クロック生成回路および前記電源回路に結合され、事象に応答して前記第1および第2の信号を生成し前記プロセッサによる電力の使用度を動的に制御するコントローラとを備えることを特徴とするコンピュータ・システム。

16．前記電力制御回路の前記温度検出回路が、
前記プロセッサに結合された温度検知装置と、
前記温度検知装置および前記コントローラに結合され、前記温度検知装置から信号を受け取り、前記信号を比較して前記プロセッサがサーマル・バンドを超えたかどうかを確認し、前記第3の信号を、前記プロセッサが前記サーマル・バンドを超えたことを示すアサート状態で伝送する、温度比較ロジックとを含むことを特徴とする請求項35に記載のコンピュータ・システム。

17．前記電力制御回路の前記コントローラがクロック速度記憶要素とコア電

圧記憶要素とを含むことを特徴とする請求項15に記載のコンピュータ・システム。

18. 前記クロック生成回路が、前記第1の信号を受け取ったときにスケールリング可能なクロック信号の動作周波数を低減することを特徴とする請求項15に記載のコンピュータ・システム。

19. 前記電源回路が、前記第2の信号を受け取ったときに、前記電源信号を通じて与えられた前記スケールリング可能な電圧を低減することを特徴とする請求項18に記載の電力制御回路。

20. 前記電力制御回路の前記コントローラがさらに、前記プロセッサがその実行時間のうちの少なくとも所定の割合の間アイドル状態であるかどうかを検出し、それに応答して、前記第1および第2の信号を出力して前記プロセッサの周波数スケールリングおよび電圧スケールリングを開始することを特徴とする請求項15に記載の電力制御回路。

21. コンピュータ・システムであって、
情報を処理するプロセッサ手段と、
コンピュータ・システム内部で前記情報を転送するバス手段と、
前記プロセッサ手段と前記バス手段との間で前記情報を転送するために前記プロセッサ手段および前記バス手段に結合されたシステム制御手段と、
少なくとも前記プロセッサによる電力消費量を低減する電力制御手段とを備え、
前記電力制御手段が、

前記プロセッサ手段がその実行時間のうちの所定の割合の間アイドル状態であるかどうかを検出し、前記プロセッサ手段が前記実行時間のうちの前記所定の割合の間アイドル状態であるときに第1および第2の信号を出力して前記プロセッサ手段の周波数スケールリングおよび電圧スケールリングを開始する制御手段と、

少なくとも前記プロセッサ手段に供給されるクロック信号の動作周波数をスケールリングするクロック手段と、

前記プロセッサ手段に与えられた電圧をスケールリングする電力手段と、

電子装置がその実行時間のうちの所定の割合の間アイドル状態であるかどうかを検出し、前記電子装置が前記実行時間のうちの少なくとも前記所定の割合の間

アイドル状態であるときに複数の制御信号を出力して電子装置の周波数スケールリングおよび電圧スケールリングを開始するために、前記クロック手段および前記電力手段に結合された制御手段とを含むことを特徴とするコンピュータ・システム。

22. 前記電力制御手段の前記制御手段が、クロック速度記憶要素と、コア電圧記憶要素と、停止サイクル検出記憶要素とを含むことを特徴とする請求項21に記載のコンピュータ・システム。

23. 前記停止サイクル検出記憶要素が1ビット・レジスタであることを特徴とする請求項22に記載のコンピュータ・システム。

24. 前記クロック手段が、前記停止サイクル検出記憶要素がセットされたことを検出したときに前記クロック信号の前記動作周波数を低減することを特徴とする請求項23に記載のコンピュータ・システム。

25. 前記電力制御手段がさらに、前記プロセッサ手段の温度を監視し、前記プロセッサ手段がサーマル・バンドを超えたときに信号を生成する温度検出手段を備えることを特徴とする請求項21に記載のコンピュータ・システム。

26. 前記電力制御手段の前記温度検出手段が、
前記プロセッサ手段の前記温度を検知する検知手段と、
前記検知手段から温度信号を受け取り、前記温度信号を、アサート時に、前記プロセッサ手段が前記サーマル・バンドを超えたことを示す前記信号としてデジタル化するために、前記検知手段に結合された比較手段とを含むことを特徴とする請求項25に記載のコンピュータ・システム。

27. 前記クロック手段が、前記温度検出手段が前記信号をアサートしたときに、前記クロック信号の動作周波数を低減することを特徴とする請求項26に記載のコンピュータ・システム。

28. 前記電源手段が、前記クロック信号の前記動作周波数の後に、前記プロセッサ手段に供給される前記電圧を低減することを特徴とする請求項27に記載のコンピュータ・システム。

32. さらに、電子装置の温度を監視し、前記事象を検出したときに前記コントローラに第3の信号を出力する温度検出回路を備えることを特徴とする請求項

1に記載の電力制御回路。

33. 前記温度検出回路によって検出される前記事象が、電子装置がサーマル・バンドを超える条件を含むことを特徴とする請求項32に記載の電力制御回路。

34. 前記電力制御回路がさらに、電子装置の温度を監視し、前記事象を検出したときに前記コントローラに第3の信号を出力する温度検出回路を備えることを特徴とする請求項15に記載のコンピュータ・システム。

35. 前記電力制御回路の前記温度検出回路によって検出される前記事象が、電子装置がサーマル・バンドを超える条件を含むことを特徴とする請求項34に記載のコンピュータ・システム。

【発明の詳細な説明】

電圧スケールリングと周波数スケールリングの両方を通じて

電力消費量を削減する装置および方法

発明の背景

1. 発明の分野

本発明は電子装置の分野に関する。詳細には、本発明は、電圧スケールリングおよび周波数スケールリングを通じて電子装置による電力消費量を削減することに関する。

2. 発明に関する従来技術の説明

過去数年のうちに半導体技術はかなり進歩しており、高い周波数で動作し、追加機能または拡張機能、あるいはその両方をサポートする改良された電子装置が開発されている。このような進歩のために、ハードウェア製造業者はより高速でより精密なハードウェア製品（たとえば、コンピュータ、周辺装置など）を設計し作製することができるが、主としてバッテリー駆動のラップトップ・コンピュータまたはノート形コンピュータで経験される欠点も生じている。特に、このような改良された電子装置は、従来の世代の電子装置よりも多くの電力を消費し、副産物としてより多くの熱を散逸させる。

現代のバッテリー駆動ラップトップ・コンピュータでは電力消費量の削減が重要であることがよく知られている。これは、そのような削減によってバッテリーの寿命が延びるからである。現在、ラップトップ・コンピュータの電力消費量を削減する1つの主要な技法は、1つの電子装置、すなわち中央演算処理装置（「CPU」）に供給されるクロッキング信号の周波数を低減することである。この技法（本明細書では「周波数低減」と呼ぶ）は通常、平均動作周波数が低減するように、CPUに供給されるクロッキング信号（すなわち、CPUクロック）を分割し、あるいは短い時間間隔の間クロッキング信号を停止することによって行われる。

第1図を参照すると、従来型の周波数低減技法に基づいて電子装置によって実現される電力節約を示すグラフが示されている。周知のように、電子装置は一般

に、特定の電力範囲内で動作するように設計される。この周波数範囲10は点Aと点Bの間として表されている。この場合、点Aは電子装置が動作するのに必要な最小周波数を表し、点Bは電子装置がサポートできる最大周波数を表す。理論的には、電力は、この図に示すように周波数に正比例する。したがって、点CおよびDによって示したように、電子装置の動作周波数を10%低減すると、総電力消費量がP1からP2へ10%削減される。もちろん、大部分のハードウェア製品は、電力を消費するが周波数からは独立した電子装置（たとえば、コンピュータ・システムのディスプレイ）を備えているので真の電力節約が周波数低減に厳密に比例するわけではない。

この従来型の周波数低減技法は多数の欠点を有する。1つの主要な欠点は、あるタスクを実行するときに周波数低減を受ける電子装置が必要とするエネルギーの量は一定のままであるので、周波数低減ではバッテリーの寿命の節約が最小限であることである。いくつかの状況では、ラップトップ・コンピュータなどの製品内の周波数依存装置と周波数独立装置との間の選択された構成に応じて、周波数低減がバッテリー寿命の節約に悪影響を与えることがある。これは主として、電子装置が低い周波数で動作するが、タスクを完了するために余分の動作時間を必要とするからである。そのため、この余分の動作時間のために、製品内の周波数独立装置は、場合によっては、電子装置の動作周波数を低減することによって実現されるエネルギー節約量を超えるエネルギーを消費する。

したがって、それほど性能を低下させずに電力消費量を効果的に削減することができ、任意のタイプの電子装置、特にマイクロプロセッサが使用することのできる、電力制御回路を作製し、かつ電力消費量低減技法を開発することが望ましい。

この電力制御回路から与えられる他の利点は、最悪ケース条件が生じた場合に機能するように電子装置を構成するのではなく、電力の影響を受けやすいハードウェア製品内で全周波数、全電圧電子装置の実装が推進されることである。その代わりに、電子装置は、その時点での様々な条件に基づいて電子装置自体を動的

に構成するように、電圧スケーリングおよび周波数スケーリングに依存する。し

たがって、電子装置に実装する部品の全体的な性能が向上する。

他の利点は、特定の電圧および動作周波数を有するように較正された電子装置を不要にし、電子装置で経験されるそのときの条件に基づいて電子装置の電圧および周波数を動的に較正することによって、企業がラップトップ・システムとデスクトップ・システムのどちらか専用の電子装置の在庫を削減できるようになることである。

発明の簡単な概要

本発明は、電力制御回路と、特に電子装置による電力消費量を低減する技法に関する。この電力制御回路は、コントローラと、クロック生成回路と、電源回路とを備える。コントローラは、電力管理ソフトウェアによって支配され、2つの条件のうちの少なくとも1つが生じた場合に、電源回路およびクロック生成回路に、電子装置に対して電圧スケーリングおよび周波数スケーリングを実行するよう指示する。たとえば、第1の条件は、電子装置の温度があるサーマル・バンドを超えたことが検出されることである。第2の条件は、電子装置が電源オン時間のうちの選択された割合の間アイドル状態であることが検出されることである。

図面の簡単な説明

本発明の特徴および利点は、本発明の下記の詳細な説明から明らかになる。

第1図は、従来型の周波数低減技法によって実現される理論上の電力節約を示す例示的な図である。

第2a図は、電圧と電力の間の理論上の「二乗」関係を示す例示的な図である。

第2b図は、本発明によって行われる電圧スケーリングおよび周波数スケーリングを通じて制御される電子装置によって実現される電力節約を示す例示的な図である。

第3図は、入出力（「I/O」）コントローラと、クロック生成回路と、電源回路とを含む標準コンピュータ・システム内で使用される本発明の電力制御回路の例示的なブロック図である。

第4図は、クロック生成回路が周波数スケーリングを実行し、電源回路が電圧

スケーリングを実行することができるようにする情報を記憶するために入出力コントローラ内で使用される複数のレジスタを示す例示的なブロック図である。

第5図は、電圧スケーリングおよび周波数スケーリングを通じて電子装置による電力消費量を最適に削減するために本発明によって実行される動作を示す図である。

発明の詳細な説明

本発明は、電圧スケーリングと周波数スケーリングの両方を通じて少なくとも1つの電子装置の電力消費量を制御するシステムおよび方法について説明するものである。下記の詳細な説明は、主として、本発明を全体的に示すグラフ、ブロック図、フローチャートで提示されているが、本発明を不必要に曖昧にしないように周知の回路やプロセス・ステップについては論じない。フローチャートは所望の結果に至る一連のステップを示している。これらのステップは、記憶、転送、結合、比較、あるいはその他の方法で処理することのできる電気信号または磁気信号の形で物理的量の物理的処理を必要とする。

第2a図を参照すると、電圧と電力の間の関係を示す例示的なグラフが示されている。多数の電子装置（たとえば、CMOS）に有効な下記の数式1および2で指摘するように、理論的には、電力は電圧に対する「二乗」則依存性を有し、電圧は動作周波数にほぼ比例する関係を有する。

$$\text{数式1：電力} = C \times V^2 \times F \times A c t$$

上式で、「C」=電子装置の総キャパシタンス、

「V」=電子装置に供給される総電圧、

「F」=電子装置の動作周波数

「A c t」=所与のクロック・サイクルに対して状態を変化させる電子装置のゲートの割合である。

$$\text{数式2：} V \propto F。 \text{この場合、} V_1 \geq V \geq V_2 \text{であり、} V_1 \text{は電子装置によってサ}$$

ポートされる最大動作電圧である。

$V \propto (k \times F)$ 。この場合、 $V_2 \geq V \geq V_3$ であり、「k」は、下記で定義する電圧範囲外で電圧スケーリングが実行されるときに1よりも小さな定数である。

数式2は線形化近似である。

したがって、数式1によれば、 $C \times (0.90V)^2 \times F \times Act = (0.81) \times \text{電力}$ であるので、電圧の10%の低減は電力の19%の低減を構成する。

次に第2b図を参照すると、電圧スケーリングと周波数スケーリングの組合せを実行することにより電子装置によって実現される電力節約を示す例示的なグラフが示されている。第1図と同様に、電子装置は、点A（電子装置の最小動作電圧）と点B（最大動作電圧）との間で定義される電圧範囲20内で動作する。さらに、第1図と同様に、点CおよびDはそれぞれ、電力レベルP1およびP2での電子装置の動作周波数を表す。したがって、本発明では、（点Cの）電子装置の動作周波数および電圧を3%よりもわずかに多い量だけ（点Dに）低減することによって、電子装置が消費する電力は、次式のために約10%削減される。

$$C \times (0.966V)^2 \times (0.966F) \times Act = (0.901) \times \text{電力}$$

実現される電力節約が従来型の周波数低減技法を通じて得られる節約にほぼ等しいことは明らかであるが、電子装置の動作周波数は10%ではなく3%しか低減しない。したがって、電圧範囲20では電圧スケーリングおよび周波数スケーリングを行うことができるが、電子装置に対して周波数スケーリングのみを低電圧範囲30に沿って点Aまで行うことができる。これは、低電圧範囲30内の電圧スケーリングでは電子装置が動作不能になるからである。

第3図を参照すると、電子装置（たとえば、マイクロプロセッサ）によって電力消費量を制御するためにコンピュータ・システム内で使用される電力制御回路の一実施形態が示されている。電子装置は、コンピュータ・システム内の1つの主要な電力消費チップとみなされているマイクロプロセッサとして示されているが、電力制御回路は、コントローラなど他のタイプの電子装置による電力消費量を制御することができる。

コンピュータ・システム100は、中央演算処理装置（「CPU」）110と、システム・コントローラ120と、システム・バス130と、温度比較ロジック140と、入出力（「I/O」）コントローラ150と、クロック生成回路160と、電源回路170とを備える。コンピュータ・システムに電源が投入され

、ユーザがあるタスクを実行するためにメイン・メモリ、大容量記憶メモリ装置（たとえば、IDE装置）、または外部ディスク・ドライブからソフトウェア・アプリケーションを選択した後、入出力コントローラ150が、CPU110内に記憶されている温度管理ソフトウェアによって、2つの条件のうちの少なくとも一方が生じた場合、すなわちCPU110の温度がサーマル・バンドを超え、あるいはCPU110が過度のアイドル時間を経験している場合にCPU110の電圧スケーリングおよび周波数スケーリングを行うように構成される。「サーマル・バンド」は絶対ハードウェア限界（これを超えた場合は、ただちに装置を遮断する必要がある）ならびにプログラム可能なソフトウェア上限および下限で表される。ソフトウェア限界は温度限界を表し、この限界を超えた場合は、「スロットリング (throttling)」(すなわち、電圧または周波数を低減する)または「デスロットリング (de-throttling)」が推奨される。

図のように、熱散逸結果によってCPU110のプロセッサ・ダイ112の温度を監視し、温度がサーマル・バンドを超えたときにそれを検出するために、プロセッサ・ダイ112に温度検知構成要素（たとえば、サーミスタなど）111が結合される。温度検知構成要素111は制御線113を介して温度比較ロジック140へアナログ信号を送る。温度比較ロジック140はアナログ信号を受け取り、それをデジタル信号に変換する。このデジタル信号は温度制御線141を介して入出力コントローラ150に入力される。このデジタル信号は、アサートされると、CPU110がサーマル・バンドの外側の温度で動作していることを入出力コントローラ150に示す。その結果、入出力コントローラ150は、CPU110内のプロセッサ・ダイ112の温度を低下させる動作を実行する必要がある。

プロセッサ・ダイ112の温度を低下させるために、入出力コントローラ150は、入出力コントローラ150内に記憶されているユーザが構成したプログラ

ム可能な情報を制御線151を介してレジスタ164に送ることによってクロック生成回路160内のレジスタ164をプログラムする。このプログラム済み情報は、クロック生成回路160によってクロック線161を介して少なくともC

PU110に供給されるクロッキング信号のどのくらいの（通常はパーセンテージ値）動作周波数を変更すべきかを示す。図に示すような一部の実施態様では、CPUシステム・バス130によって使用されるクロッキング信号に入力されたクロック信号は、CPU110（すなわち、CPCクロック）と固定関係をもたなければならない。そのため、システム・コントローラ120およびシステム・バス130のクロッキング信号がCPUクロックに比例して低減される。クロック生成回路160はレジスタ164の値を監視し、クロック線161ないし163を通じて転送されたクロッキング信号の周波数を適切に修正する。

入出力コントローラ150は、動作周波数が任意の周知の技法（たとえば、シグナリング、事前設定遅延時間など）を通じて低減されたと判定した後、制御線152を介して電源回路170への電圧修正制御信号を生成する。電源回路170は、切換調整器171とプログラム可能調整器172とを含む。図示していないが、電源回路170は、電力がコンピュータ・システム100に壁ソケットから与えられているか、それともバッテリー源から与えられているかを入出力コントローラ150に示す検知回路を含む。プログラム可能調整器172は入出力コントローラ150から電圧修正制御信号を受け取る。この信号は、プログラム可能調整器172によって電源線173を通じてプロセッサ・ダイ112へ送られるCPUゴア電圧の量が低減したことを示す。しかし、切換調整器171はこの電圧修正制御信号の影響を受けず、引き続きコンピュータ・システム100の電源プレーンに電力（3.3V、5V、12Vなど）を与え続ける。

したがって、速度を不釣り合いに犠牲にせずにCPU110による電力消費量を最適に低減するためにまず、CPU110の周波数が低減され、次いで電圧が低減される。このスケーリング順序のために、CPU110が故障することがなくなる。しかし、CPU110をデスロットリングする（すなわち、電圧および周波数を増大する）には、動作周波数が増大する前にCPUコア電圧を適切に増大しておく必要がある。

第2の条件、すなわちCPUが過度の「アイドル」時間を経験することは通常、コンピュータ・システム100が、たとえば様々な従来型のソフトウェア・ア

アプリケーションや文書処理プログラムなど、CPU110の最適な性能を必要としないソフトウェア・アプリケーションを実行しているときに生じる。したがって、CPU110が経験するアイドル時間の量を監視することによって電力消費量を最適に低減することができる。

Advanced Power Management (「APM」) ソフトウェアなどの電力管理ソフトウェアが、コンピュータ・システムのメイン・メモリ内に記憶され、ユーザに対して透過的に動作し、CPU110がアイドル状態であるか、それとも有用な計算を実行しているかを監視することは、当技術分野でよく知られている。CPU110がアイドル状態であるとき、一実施形態の電力管理ソフトウェアはHALT命令を生成し、CPU110に停止肯定応答サイクルを生成させる。停止肯定応答サイクルはシステム・コントローラ120を通じてシステム・バス130上に伝搬する。入出力コントローラ150は、CPU110が停止肯定応答サイクルを生成していることを検出すると、第4図に示したように停止サイクル検出(「HCD」)記憶要素をセットする。その後、電力管理ソフトウェアは定期的にHCD記憶要素を走査し、HCD記憶要素が頻繁にセットされている場合(たとえば、実行時間のうちの少なくとも約5%ないし10%)、コンピュータ・システムはスロットリングされ電圧スケーリングおよび周波数スケーリングを実行する。そのような場合、入出力コントローラ150は、上記で第1の条件に関して論じたのと同様に電圧スケーリング動作および周波数スケーリング動作を実行する。

いくつかの形態は停止命令を生成せず、その代わりに他の手段(たとえば、周波数スケーリング)によって電力を節約する。そのような場合、HCD記憶要素155はそのような他の手段を検出するように自明の方法で修正される。

次に、第4図を参照すると、入出力コントローラ150の実施形態が示されている。入出力コントローラ150は、HCD記憶要素155と、クロック速度(「CS」)記憶要素156と、CPUコア電圧(「CCV」)記憶要素157とを含む。HCD記憶要素155は好ましくは、単一ビット・レジスタであり、

CPUがどのくらい頻繁に通常の状態またはアイドル状態になるかを動的に示す

。具体的には、HCD記憶要素155は、CPUがアイドル状態のときにセットされ、CPUが通常の動作状態のときにリセットされる。したがって、電力管理ソフトウェアは、HCD記憶要素155が頻繁にセットされるときには電圧スケーリングおよび周波数スケーリングを実行し、HCD記憶要素155が頻繁にリセットされるときにはCPUを最大動作周波数および対応する電圧に戻すよう、入出力コントローラ150に要求する。

CS記憶要素156は、CPUの周波数をスロットリングするために使用される周波数スルーイング (slewing) 定数を含む「n」ビット・レジスタ (「n」は任意の整数である) として構成される。これは、周波数スルーイング定数をCS記憶要素156からクロック生成回路のレジスタ164へ送ることによって行われる。同様に、CCV記憶要素157は、電源回路から与えられるCPUコア電圧を増分的にスロットリングするために使用される電圧スルーイング定数を含むように構成される。電圧スルーイング定数は、第3図に示したように電源回路のプログラム可能調整器へ送られる。

次に、第5図を参照すると、本発明の動作ステップを含む例示的なフローチャートが示されている。ステップ200で、電子装置の温度が監視され、サーマル・バンドを超えているかどうかを確認される。所定の温度しきい値を超えている場合、電子装置は電圧スケーリングと周波数スケーリングの両方を受けて電力消費量を低減し (ステップ225)、あるいは課された低サーマル・バンドを超えている場合は、より高い電圧および周波数で動作することができる。電子装置がサーマル・バンドを超えていない場合、電子装置が従来型の壁ソケットから交流電流 (「AC」) 電力を受けているか、それともバッテリー電源を通じて直流 (「DC」) 電力を受けているかが判定される (ステップ205)。電子装置が従来型の壁ソケットから電力を受けている場合、ステップ200による条件が満たされていないかぎり、ステップ230に示したように、電子装置に対しては電圧スケーリングも周波数スケーリングも実行されない。

あるいは、電子装置がバッテリー電源から電力を受けている場合、ユーザが電子装置による電力消費量を削減するために2つの電力節約モードの少なくとも一方

をイネーブルしたかどうかを判定する必要がある。最初に検査すべき電力モードは、このハードウェア製品が「デターボ・モード」であるかどうかということである（ステップ210）。デターボ・モードでは、ユーザは（ユーザセットアップ時に）電子装置の所望の動作周波数を選択的に、最大動作周波数よりも低い値に設定する。これは、ラップトップ・コンピュータでは、コンピュータ上に配置されたスイッチを押すことによって実行することができる。この電子装置を使用しているハードウェア製品がデターボ・モードである場合、電子装置の電圧および周波数が構成に応じて適切にスケーリングされる（ステップ225）。

しかし、ハードウェア製品がデターボ・モードをサポートするように構成されていない場合、ユーザが、「消費電力非線形スロットリング」（「DNL T」）モード（ステップ215）と呼ばれる第2の電力節約モードをイネーブルしたかどうかに関する第2の判定が下される。このモードがユーザによってイネーブルされていない場合、ステップ200および210に関連する条件が矛盾を示していないかぎり、ソフトウェアは、電子装置が経験するアイドル時間の量に基づいて電子装置の電圧および周波数を透過的に変更する（ステップ225）。DNL Tモードがディスエーブルされている場合は、電圧スケーリングおよび周波数スケーリングは実行されない。そうでない場合、DNL Tモードがイネーブルされ、電子装置が頻繁にアイドル時間を経験し、それによって、装置の全能力が使用されていることが示されているときは、電子装置が最大性能で動作するまで電子装置に対して電圧スケーリングおよび周波数スケーリングが実行される（ステップ220、225）。DNL Tモードがイネーブルされ、電子装置が全能力で動作している場合、電子装置に対して電圧スケーリングおよび周波数スケーリングが実行されることはない（ステップ220、230）。このプロセスが継続し、電子装置が監視されてその性能が最適化され、特に電力消費量が削減される。

本明細書で説明した本発明は、本発明の趣旨および範囲から逸脱せずに、前述の実施形態とは異なる、当業者には明白な多数の実施形態として設計することができる。したがって、本発明は下記の請求の範囲に関して評価すべきである。

【図1】

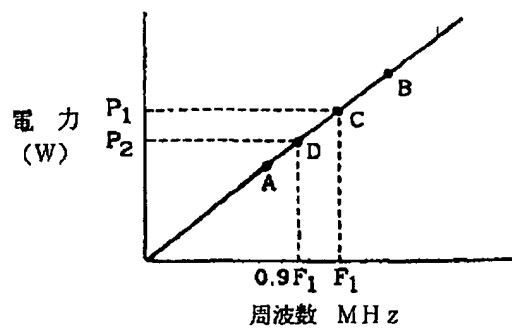


FIG. 1

従来技術

【図2】

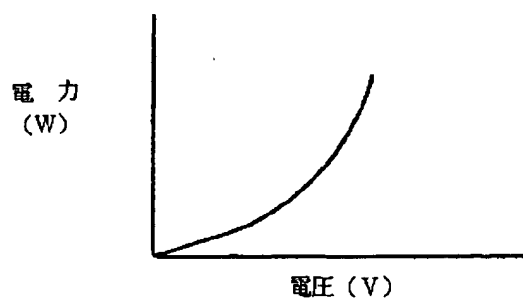


FIG. 2a

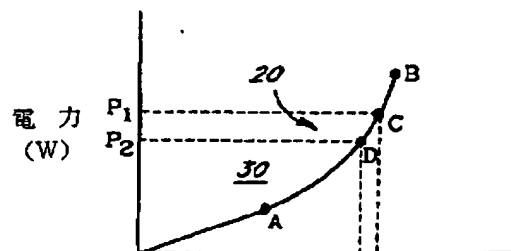


FIG. 2b

【図3】

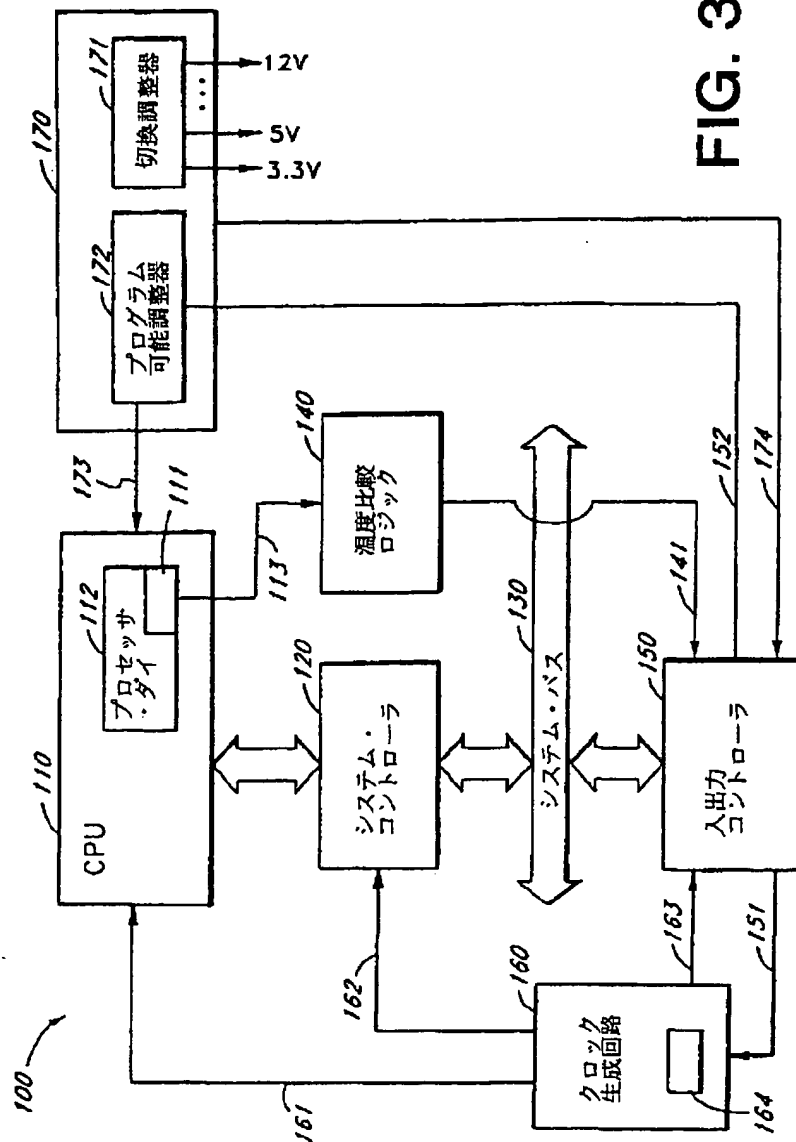


FIG. 3

【図4】

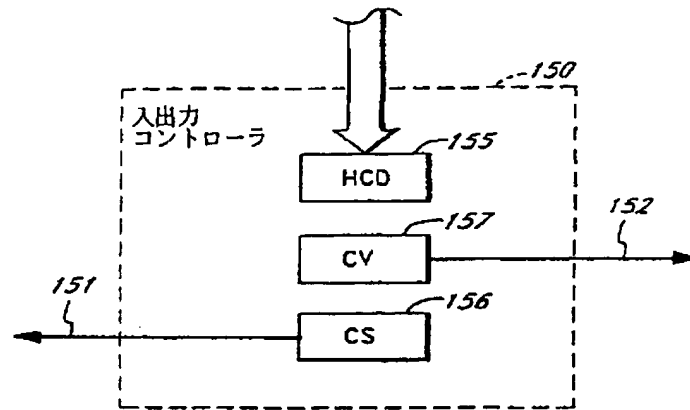
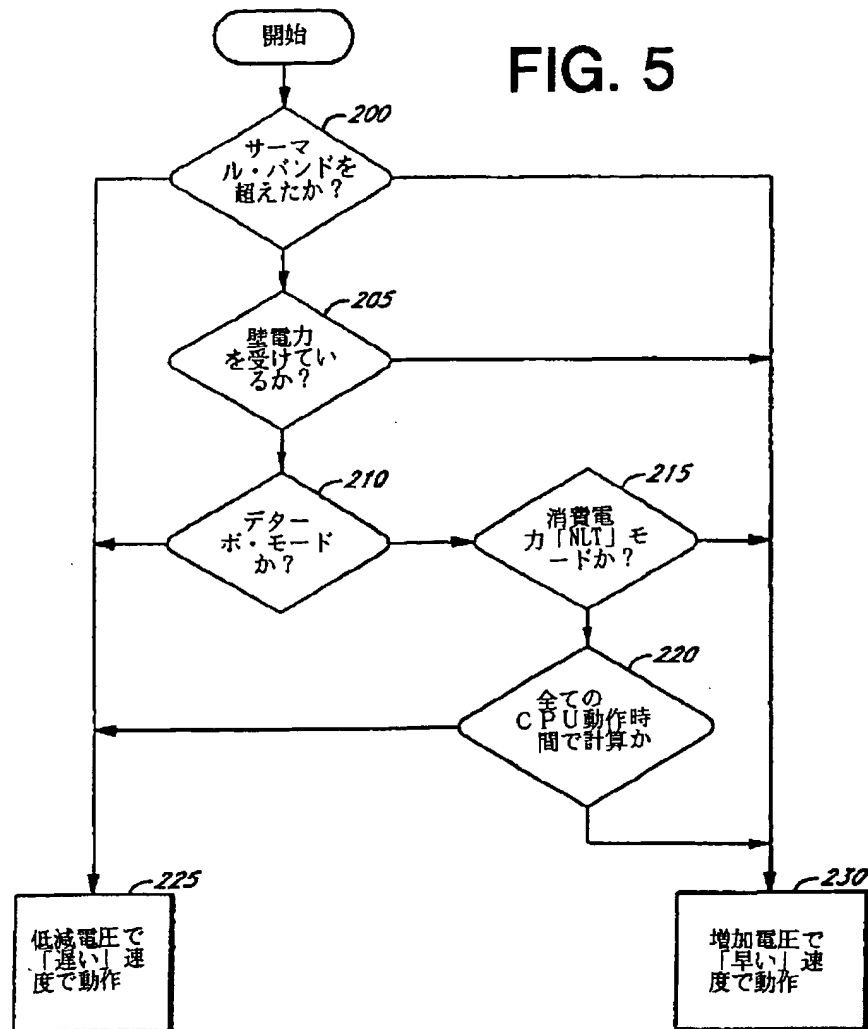


FIG. 4

【図5】

FIG. 5



【手続補正書】特許法第184条の8第1項

【提出日】平成9年12月19日(1997.12.19)

【補正内容】

補正請求の範囲

1. 電子装置で使用する電力制御回路であって、
スケーリング可能な周波数を有するクロック信号を供給するクロック生成回路と、
スケーリング可能な電圧を有する電源信号を与える電源回路と、
前記クロック生成回路および前記電源回路に結合され、事象に応答して第1および第2の信号を生成して電子装置による電力の使用度を下記の(i)、(ii)のように動的に制御するコントローラと
を備える電力制御回路。
(i) クロック信号の周波数を低減し、それに続いて電源信号の電圧を低減して電力使用度を低減する、あるいは(ii) 電圧を増大し、それに続いて周波数を増大することによって電力使用度を増大する。
2. さらに、電子装置の温度を監視し、前記事象を検出したときにコントローラに第3の信号を出力する温度検出回路を備えることを特徴とする請求項1に記載の電力制御回路。
3. 前記温度検出回路が、
電子装置に結合された温度検知装置と、
温度検知装置とコントローラに結合され、温度検知装置から信号を受け取り、その信号を必要な温度レベルと比較し、信号をアサート時に電子装置がサーマル・バンドを超えたことを示す第3の信号に転送する温度比較ロジックとを含むことを特徴とする請求項2に記載の電力制御回路。
4. 前記コントローラが、スケーリング可能な周波数の調整を行うために使用される周波数スルーイング定数を含むクロック速度記憶要素と、スケーリング可能な電圧の調整を行うために使用される電圧スルーイング定数を含むコア電圧記憶要素とを含むことを特徴とする請求項1に記載の電力制御回路。
5. 前記クロック生成回路が、前記第1の信号を受け取ったときにスケーリン

グ可能なクロック信号の動作周波数を低減することを特徴とする請求項1に記載の電力制御回路。

6. 前記コントローラがさらに、電子装置がその実行時間のうちの少なくとも所定の割合の間アイドル状態であるかどうかを検出し、それに応答して、前記第1および第2の信号を出力して電子装置の周波数スケーリングおよび電圧スケーリングを開始することを特徴とする請求項1に記載の電力制御回路。

7. 電子装置用の電力制御回路であって、

少なくとも電子装置に供給されるクロック信号の動作周波数をスケーリングするクロック手段と、

電子装置に供給される電圧をスケーリングする電力手段と、

少なくとも、電子装置がその実行時間のうちの所定の割合の間アイドル状態であるかどうかを検出し、電子装置が実行時間のうちの少なくとも所定の割合の間アイドル状態であるときに複数の制御信号を出力して、電子装置に供給される動作周波数および電圧の動的スケーリングを開始するようにクロック手段および電力手段に結合された制御手段。

8. 前記制御手段が、クロック速度記憶要素と、コア電圧記憶要素と、停止サイクル検出記憶要素とを含むことを特徴とする請求項7に記載の電力制御回路。

9. 前記クロック手段が、停止サイクル検出記憶要素がセットされたことを検出したときにクロック信号の動作周波数を低減することを特徴とする請求項8に記載の電力制御回路。

10. さらに、電子装置の温度を監視し、電子装置がサーマル・バンドを超えたときに信号を生成する温度検出手段を備えることを特徴とする請求項7に記載の電力制御回路。

11. 前記温度検出手段が、

電子装置の温度を検知する検知手段と、

その検知手段から温度信号を受け取り、温度信号を、アサート時に、電子装置がサーマル・バンドを超えたことを示す信号としてデジタル化するように検知手段に結合された比較手段とを含むことを特徴とする請求項10に記載の電力制

御回路。

12. 前記クロック手段が、温度検出手段が信号をアサートしたときに、電子装置に供給されるクロック信号の動作周波数を低減することを特徴とする請求項

10に記載の電力制御回路。

13. 前記電源手段が、クロック信号の動作周波数が低減された後に、電子装置に供給される電圧を低減することを特徴とする請求項12に記載の電力制御回路。

14. コンピュータ・システムであって、
プロセッサと、
プロセッサに結合され、

第1の信号に応答して、スケーリング可能な周波数を有するクロック信号をプロセッサに供給するクロック生成回路と、

第2の信号に応答して、スケーリング可能な電圧を有する電源信号を前記プロセッサに与える電源回路と、

クロック生成回路および電源回路に結合され、事象に応答して第1および第2の信号を生成してプロセッサによる電力の使用度を動的に制御し、電力の使用度を増分的に増減させてプロセッサによる性能と電力使用度と間の所望の兼ね合いを図ることのできるコントローラと
を備えるコンピュータ・システム。

15. 前記電力制御回路がさらに、電子装置の温度を監視し、事象を検出したときにコントローラに第3の信号を出力する温度検出回路を備えることを特徴とする請求項14に記載のコンピュータ・システム。

16. 前記電力制御回路の温度検出回路によって検出される事象が、電子装置がサーマル・バンドを超える条件を含むことを特徴とする請求項15に記載のコンピュータ・システム。

17. 前記電力制御回路の温度検出回路が、
プロセッサに結合された温度検知装置と、

その温度検知装置とコントローラに結合され、温度検知装置から信号を受け取

り、その信号を比較してプロセッサがサーマル・バンドを超えたかどうかを確認し、第3の信号を、プロセッサがサーマル・バンドを超えたことを示すアサート状態で伝送する、温度比較ロジックとを含むことを特徴とする請求項16に記載のコンピュータ・システム。

18. 前記電力制御回路のコントローラがクロック速度記憶要素とコア電圧記憶要素とを含むことを特徴とする請求項14に記載のコンピュータ・システム。

19. 前記クロック生成回路が、第1の信号を受け取ったときにスケーリング可能なクロック信号の動作周波数を低減することを特徴とする請求項14に記載のコンピュータ・システム。

20. 前記電源回路が、第2の信号を受け取ったときに、電源信号を通じて与えられたスケーリング可能な電圧を低減することを特徴とする請求項19に記載のコンピュータ・システム。

21. 前記電力制御回路の前記コントローラがさらに、プロセッサがその実行時間のうちの少なくとも所定の割合の間アイドル状態であるかどうかを検出し、それに応答して、第1および第2の信号を出力してプロセッサの周波数スケーリングおよび電圧スケーリングを開始することを特徴とする請求項14に記載のコンピュータ・システム。

22. コンピュータ・システムであって、
情報を処理するプロセッサ手段と、
コンピュータ・システム内部で情報を転送するバス手段と、
プロセッサ手段とバス手段との間で情報を転送するためにプロセッサ手段およびバス手段に結合されたシステム制御手段と、

少なくともプロセッサによる電力消費量を低減する電力制御手段とを備え、その電力制御手段が、

プロセッサ手段がその実行時間のうちの所定の割合の間アイドル状態であるかどうかを検出し、プロセッサ手段が実行時間のうちの所定の割合の間アイドル状態であるときに第1および第2の信号を出力してプロセッサ手段の周波数スケーリングおよび電圧スケーリングを開始する制御手段と、

少なくともプロセッサ手段に供給されるクロック信号の動作周波数をスケールリングするクロック手段と、

プロセッサ手段に与えられた電圧をスケールリングする電力手段と、

電子装置がその実行時間のうちの所定の割合の間アイドル状態であるかどうかを検出し、電子装置が実行時間のうちの少なくとも所定の割合の間アイドル状態

であるときに複数の制御信号を出力して電子装置の周波数スケールリングおよび電圧スケールリングを開始するために、クロック手段および電力手段に結合された制御手段と

を含むことを特徴とするコンピュータ・システム。

23. 前記電力制御手段の制御手段が、クロック速度記憶要素と、コア電圧記憶要素と、停止サイクル検出記憶要素とを含むことを特徴とする請求項22に記載のコンピュータ・システム。

24. 前記電力制御手段がさらに、プロセッサ手段の温度を監視し、プロセッサ手段がサーマル・バンドを超えたときに信号を生成する温度検出手段を備えることを特徴とする請求項22に記載のコンピュータ・システム。

25. 前記電力制御手段の温度検出手段が、
プロセッサ手段の温度を検知する検知手段と、

その検知手段から温度信号を受け取り、その温度信号を、アサート時に、プロセッサ手段がサーマル・バンドを超えたことを示す信号としてデジタル化するために検知手段に結合された比較手段とを含むことを特徴とする請求項24に記載のコンピュータ・システム。

26. 前記クロック手段は、温度検出手段が信号をアサートしたときに、クロック信号の動作周波数を低減することを特徴とする請求項25に記載のコンピュータ・システム。

27. 前記電源手段が、クロック信号の動作周波数の低減後に、プロセッサ手段に供給される電圧を低減することを特徴とする請求項26に記載のコンピュータ・システム。

28. 電子装置による電力消費量を制御する方法であって、

電子装置による電力消費量を低減する必要がある第1の条件が存在するかどうかを判定するステップと、

第1の条件が存在する場合に、電子装置に供給されるクロッキング信号の動作周波数をスケーリングするステップと、

第1の条件が存在する場合に、動作周波数のスケーリングに続いて、電子装置に供給される電圧をスケーリングするステップと

を含むことを特徴とする方法。

29. 前記第1の条件が存在するかどうかを判定するステップが、電子装置が特定のサーマル・バンドよりも高い温度で動作しているかどうかを判定するステップを含むことを特徴とする請求項28に記載の方法。

30. 方法がさらに、

電子装置がバッテリー源と電力アウトレットのうちの一方に結合されているかどうかを判定し、

電子装置が前記バッテリー源に結合されている場合に、

電子装置がその実行時間と比べて少なくとも所定の割合のアイドル時間を経験しているかどうかを判定し、

電子装置が少なくとも所定の割合のアイドル時間を経験している場合に、電子装置に供給されるクロッキング信号の動作周波数をスケーリングし、

電子装置が少なくとも所定の割合のアイドル時間を経験している場合に、電子装置に供給される電圧をスケーリングし、

電子装置が電力アウトレットに結合されている場合に、動作周波数および前記電圧で電子装置を操作するステップを含むことを特徴とする請求項29に記載の方法。

31. 前記温度検出回路によって検出される事象が、電子装置がサーマル・バンドを超える条件を含むことを特徴とする請求項2に記載の電力制御回路。

32. 電子装置の電力消費量および性能を制御する方法であって、

電子装置の性能を高めるために電子装置による電力使用度を増大させることを必要とする第1の条件が存在するかどうかを判定するステップと、

第1の条件が存在する場合に、電子装置に供給される電圧を増大するステップと、

第1の条件が存在する場合に、電圧の増大後に、電子装置に供給されるクロッキング信号の動作周波数を増大するステップとを含むことを特徴とする方法。

【國際調查報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US96/15485

A. CLASSIFICATION OF SUBJECT MATTER IPC(6) : G06F 15/177 US CL : 364/707 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 364/707, 492; 395/730; 136/290, 293; 320/30, 43 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) APS		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US, A, 5,254,992 (KEEN ET AL) 19 October 1993, col. 5, lines 63-66, col. 8, lines 65-68, col. 8, lines 31-32, col. 7, lines 50-53, col. 7, lines 53-56, col. 5, lines 63-65, col. 6, lines 32-35, col. 6, lines 26-27, col. 4, lines 44-50, col. 8, lines 21-23, col. 4, lines 31-35, col. 4, lines 28-36	1-14, 29, 30
Y		15-28, 31
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier document published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to underpin the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family	
Date of the actual completion of the international search 20 NOVEMBER 1996		Date of mailing of the international search report 27 DEC 1996
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230		Authorized officer Emanuel Todd Voeltz Telephone No. (703) 305-9784

フロントページの続き

(81)指定国 EP(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), AP(KE, LS, MW, SD, SZ, UG), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GE, HU, IL, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, TJ, TM, TR, TT, UA, UG, US, UZ, VN

(72)発明者 ジャクソン, ロバート・ティ
アメリカ合衆国・95134・カリフォルニア
州・サン ホゼ・カミル サークル・419
-15

(72)発明者 セニク, ボリス
アメリカ合衆国・95117・カリフォルニア
州・サン ホゼ・ポーク レーン・1020

(72)発明者 マター, ユージン・ビイ
アメリカ合衆国・95630・カリフォルニア
州・フォルサム・ビッグ バレー コー
ト・103

(72)発明者 ガンター, スティーブン・エイチ
アメリカ合衆国・95630・カリフォルニア
州・フォルサム・マノック コート・103